

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-029140  
(43)Date of publication of application : 10.02.1986

(51)Int. Cl. H01L 21/60  
H01L 23/48

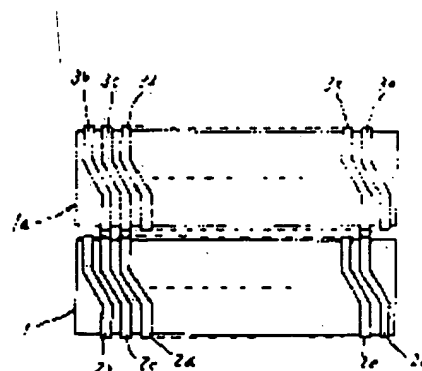
(21)Application number : 59-149497 (71)Applicant : HITACHI LTD  
(22)Date of filing : 20.07.1984 (72)Inventor : SAITO KAZUO

## (54) SEMICONDUCTOR DEVICE

## (57)Abstract:

PURPOSE: To apply plural times of performance to substrates of approximately the same size by forming the end terminal of an external terminal in a vacant terminal, and forming the chip operating terminal of other external terminal adjacent to other vacant terminal at the opposite side of the end vacant terminal.

CONSTITUTION: A chip select terminal 2b is formed adjacent to other vacant terminal 2c in opposite direction to an end vacant terminal 2a. When a current is flowed to the terminal 2b by controlling a current to the terminals 2b, 2c, only a semiconductor device 1 of lower end can be operated, and when a current is flowed to the vacant terminal 2c of the device 1, a current is flowed to a chip select terminal 3b of the device 1a of per stage.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-29140

⑬ 発明の名称

⑭ 識別記号

⑮ 庁内整理番号

⑯ 公報 昭和61年(1986)2月10日

H 01 L 21/60  
54/36

6732-5F  
6732-5F

審査請求 不請求 発明の数 1 (全4頁)

⑰ 発明の名称 半導体装置

⑱ 特 願 昭59-149497

⑲ 出 願 昭59(1984)7月20日

⑳ 発 明 者 高 藤 一 男 小平市上水本町1450番地 株式会社日立製作所武蔵工場内  
㉑ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地  
㉒ 代 理 人 弁理士 高橋 明夫 外1名

#### 明 細 書

発明の名称 半導体装置

特許請求の範囲

1. パッケージの裏面に実装可能な積層からなる第1電極が配列形成され、該第1電極上方のバレージ上面には、丁度1ピッチずれて前記第1電極と同数の第2電極が形成され、該第2の第1および第2電極どうしが電気的に接続されて形成されてなる外部端子を有する半導体装置であって、該外部端子の一端端子が、搭載されているバレットと電気的に接続されていない空端子であり、他の外部端子のうち1または2以上のそれぞれが、前記空端子と反対方向の1または隣接形成されている2以上の他の空端子に隣接して形成されているチップ作動端子である半導体装置。
2. 半導体装置がスタティックランダムアクセスメモリであることを特徴とする特許請求の範囲第1項記載の半導体装置。
3. チップ作動端子がチップセレクト端子であることを特徴とする特許請求の範囲第1項または第

2項記載の半導体装置。

4. 半導体装置がダイナミックランダムアクセスメモリであることを特徴とする特許請求の範囲第1項記載の半導体装置。

5. チップ作動端子がワードアドレスセレクト端子またはカラムアドレスセレクト端子であることを特徴とする特許請求の範囲第1項または第4項記載の半導体装置。

発明の詳細な説明

(技術分野)

本発明は電子機器の性能向上に適用して有効な技術に関するものである。

(背景技術)

電子機器の小型化に伴い、種々の高密度実装に適した半導体装置が考案されている。その一つに、いわゆるリードレスチップキャリア型半導体装置(以下、LCC型半導体装置と記す。)がある。このLCC型半導体装置はパッケージの外方に延在された外部端子を備えていないため、2以上のLCC型半導体装置のパッケージを近接して実装

することができるので、電子回路の小型化に有効なものである。

しかし、前記しじじ型半導体装置は平面的実装方式であるため、パッケージ寸法より密度を上げることが不可能である。したがって、たとえ前記しじじ型半導体装置が電子計算機のメモリーLSI（大規模集積回路）である場合は、該電子計算機の記憶容量を2倍または3倍以上にするためには、少なくとも2倍または3倍以上の面積の実装基板が必要になり、それだけ装置全体を大型にしなければ記憶容量を数倍増に求めた電子計算機を形成することができないという問題がある。

なお、しじじ型半導体装置については、たとえ昭和59年11月7日開催サイエンスフォーラム発行の「超LSIデバイスハンドブック」第225ページ以下に説明されている。

#### （発明の目的）

本発明の目的は、電子機器の小型化に適用して有効な技術を提供することにある。

本発明の目的は、装置の大きさをほとんど変え

特開昭61-28140(2)

ることなく、電子計算機の記憶容量を容易に増強することができる技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

#### （発明の概要）

本願において開示される発明のうち代表的なものその概要を簡単に説明すれば、次の通りである。

すなわち、パッケージの裏面に複数の実装用電極が配列形成され、該電極と電気的に接続されている電極がパッケージ上面に、丁度裏面に形成されている前記電極と1ピッチずらして形成してなる外部端子を備えてなる半導体装置について、該外部端子の先端端子を搭載されているペレットと電気的に接続されていない空端子とし、他の外部端子のうち1または2以上のチップ作動端子のそれぞれを、1または隣接形成されている以上の他の空端子に前記先端空端子の反対側に隣接させて形成することにより、1の半導体装置のパッケージ上面の電極に、他の同一機能を備えた半導

体装置を、そのパッケージ裏面の実装用電極を電気的に接続された状態で取り付けて2以上の半導体装置を重合使用する場合であっても、各半導体装置を独立して作動させることができることにより、平面的に実装する場合に比べ、ほぼ同一寸法の実装基板に複数倍の性能を付与することが可能となるため、前記目的を達成されるものである。

#### （実施例）

第1図は本発明による実施例1である半導体装置の組立をその使用態様とともに側面図で示すものである。

本実施例の半導体装置1は、スタティックランダムアクセスメモリー（以下、SRAMと記す。）であり、そのパッケージがセラミックからなる、いわゆるしじじ型半導体装置である。

前記半導体装置は、パッケージ裏面に面付実装可能な電極を有し、パッケージ上面には裏面電極と同数の面付実装される電極が、丁度1ピッチ左へずらして形成されており、かつ両電極の上面と裏面に形成されている電極どうしを、パッケー

ジ側面のメタライズで電気的に接続して形成する外部端子を備えてなるものである。また、前記外部端子のうち、右側の外部端子は搭載されているペレット電気的に接続されていない空端子であり、左側の外部端子はチップセレクト（CHIP SELECT）端子（以下、CS端子と記す。）2つで、該CS端子2つの右側の外部端子は空端子2つである。すなわち、前記CS端子2つは先端空端子2つと反対方向の他の空端子2つに隣接して形成されているものである。

本実施例の半導体装置は、第1図に仮想線で示す如く、同一の半導体装置1をその裏面電極で下段半導体装置1の上面電極と半導体の接合材を介して電気的に導通するように取り付けることにより、半導体装置1および1をそれぞれ独立して作動させることができるものである。

すなわち、CS端子2つおよび空端子2つへの電流を制御してCS端子2つの方に電流を流す場合は、下段の半導体装置1のみを作動させることができ、該半導体装置1の空端子2つの方に電流

を流す場合は、上段の半導体装置1のCAS端子3にも電流を流すことになるため、上段の半導体装置のみを動作させることが可能になる。

なお、上段の半導体装置1を動作させる場合の外部端子3の導通は、下段の空端子2を介して行われる。

以上説明した如く、2つの空端子2および2を形成することにより、独立して動作させることが可能な半導体装置を2段に重ねて実装できるものである。

したがって、半導体装置が本実施例1のようなSRAMである場合は、装置の大きさをほぼ同一のままで記憶容量が2倍の電子計算機を容易に提供することが可能となる。

#### (実施例2)

図2図は本発明による実施例2である半導体装置の概略とその使用態様とともに断面図で示すものである。

本実施例2の半導体装置1は、ダイナミックラジカラムアドレスメモリ（以下、DRAMと記す、

動作させることができるものである。すなわち、RAS端子21およびCAS端子21に電流を流すことにより下段の半導体装置1のみを動作させることができ、空端子22および22に電流を流すことにより、結果として上段の半導体装置1のRAS端子31およびCAS端子31に流すことになるため、上段のみを動作させることが可能となる。その他は実施例1とはほぼ同様であり、本実施例の場合も記憶容量を容易に倍増することが可能である。

#### (効果)

① パッケージの裏面に複数の寄効用電極が配列形成され、該電極と電気的に接続されている電極がパッケージ上面に、裏面に形成されている前記電極と1度1ピッチずらして形成してなる外部端子を挿入してなる半導体装置であって、該外部端子の末端の端子を格納されているペレットと電気的に接続されていない空端子とし、他の外部端子のうち1または2以上のチップ作動端子のそれぞれ、1または2個は接続形成されている2以上の他の

#### 図面51-29140(3)

）であり、前記実施例1とはほぼ同様のしこに半導体装置である。

本実施例2の半導体装置においては、2つのチップ作動端子を有し、この2つの端子が接続して半導体装置を動作させることができるものである。すなわち、左端の外部端子21はロウアドレスメモリ（ROW ADDRESS SELECT）端子（以下、RAS端子と記す。）であり、右端のRAS端子21の右端に接続して空端子22が形成され、さらに右方向の外部端子21はコラムアドレスメモリ（COLUMN ADDRESS SELECT）端子（以下、CAS端子と記す。）であり、右端のCAS端子21の右端には接続して空端子22が形成されている。したがって、本実施例2においても、チップ作動端子であるRAS端子21およびCAS端子21のそれぞれ、末端端子22と反対方向で他の空端子22および22に接続して形成されている関係にある。

本実施例の半導体装置も、第1図に示すように2段重ねて取り付けても、それぞれ独立して作

動端子に前記末端空端子の反対方向で接続させて形成することにより、1の半導体装置のパッケージ上面の電極に他の同一機能を備えた半導体装置を、そのパッケージ裏面の電極に電気的に接続された状態で取り付けて2以上の半導体装置を重ね使用する場合であっても、各半導体装置を独立して動作させることができるので、装置寸法をほぼ同一のままで容易に複数倍の性能を有する電子機器を提供することができる。

②、前記図と同一の効果により、電子機器の大幅な小型化が可能となる。

③、チップ作動端子がチップ選択端子である場合、前記図により、装置の大きさをほとんど増えることなく2または3倍以上のSRAMを実装することができるので、電子計算機の記憶容量を容易に2または3倍以上にすることが可能である。

④、チップ作動端子がロウアドレスメモリ端子およびコラムアドレスメモリ端子である場合、前記図と同等に装置の大きさが増えることなく、2または3倍以上のDRAMを備えた電子計算機

な面積をすることがある。

以上本発明者によってなされた発明を實施例に就いて具体的に説明したが、本発明は前記實施例に限定されるものではなく、その要旨を逸脱しない範囲で種々改良可能であることはいふまでもない。

たとえば、半導体装置としてはRAMおよびDRAMであるメモリLSIについて説明したが、これに限るものではなく、1またはそれ以上のチップ作動端子を有し、同様の使用が可能であるものであれば如何なるものにも適用できるものである。

また、外部端子もパッケージが露出に形成されたメタライズからなるものに限るものでなく、同一機能を実現するものであれば、その形成箇所および形状等は開かないものである。

さらに、チップセレクト端子の1つを末端空端子と反対側の末端に形成したものについて示したが、その位置は開かないものであることはいふまでもない。

#### 特開昭61-29149(4)

なお、前記實施例では3段に重なりて使用するものについて説明したが、これに限らず、チップ作動端子と隣接する空端子を2または3以上で形成することにより、3段または4段以上に重ねて使用することも可能であるものである。

また、下段半導体装置の上面電極に上段の配線電極を取り付ける方法としては、半田等の接合材を用いる例を示したが、これに限るものでなく接合部材を介して取り付けてもよいことはいふまでもない。

#### (利用分野)

以上の説明では主として本発明者によってなされた発明をその発明となした利用分野であるメモリックからなるLCC型半導体装置に適用した場合について説明したが、それに限定されるものではなく、たとえば、同様の使用が可能である種々のパッケージからなる半導体装置であつて、メモリック以外の材料からなるものであつても当然に適用することができる技術である。

図面の簡単な説明

図1図は本発明による実施例1の半導体装置とその使用の態様とともに示す側面図、

図2図は本発明による実施例2の半導体装置とその使用の態様とともに示す側面図である。

1、1a・・・半導体装置、2a、3a・・・末端空端子、2c、3c、2g、3g、2j、3j・・・空端子、2b、3b・・・チップセレクト端子、2f、3f・・・RAS端子、2i、3i・・・CAS端子。

代理人 弁理士 高橋明夫

